

طراحی سیستم های دیجیتال

نیمسال اول ۹۹-۹۸

مدرس: دکتر فلاحتی

تمرین سری هفتم سننز تاریخ تحویل ۱۳۹۸/۱۰/۲۷

۱) نتیجه سننز قطعه کدهای وریلاگ زیر را بکشید. اگر در قسمتی ایراد سننزی مشاهده کردید آن را با توضیح کامل بیان کنید (فرض کنید در کتابخانه همه دروازه های ساده، مالتی پلکسر، واحدهای محاسباتی و فلیپ فلاپ در دسترس است):

(الف)

```
reg a, b;  
always @(posedge clk)  
begin  
a <= b;  
b = a;  
end
```

(ب)

```
reg [1:0] count;  
reg B;  
wire A;  
assign A = count[1];  
always @(posedge clk)  
begin  
if (reset)  
count <= 2'b0;  
else  
count <= count + 1;  
end
```

۲) می خواهیم تابع زیر را بر روی یک FPGA پیاده سازی کنیم. این FPGA از تعداد زیادی LUT های ۳ و ۴ ورودی تشکیل شده است. مساحت و تاخیر LUT ها، به تعداد ورودی های آنها وابسته است. به عنوان مثال مساحت LUT های سه و چهار ورودی به ترتیب ۳ و ۴ واحد سطح است.

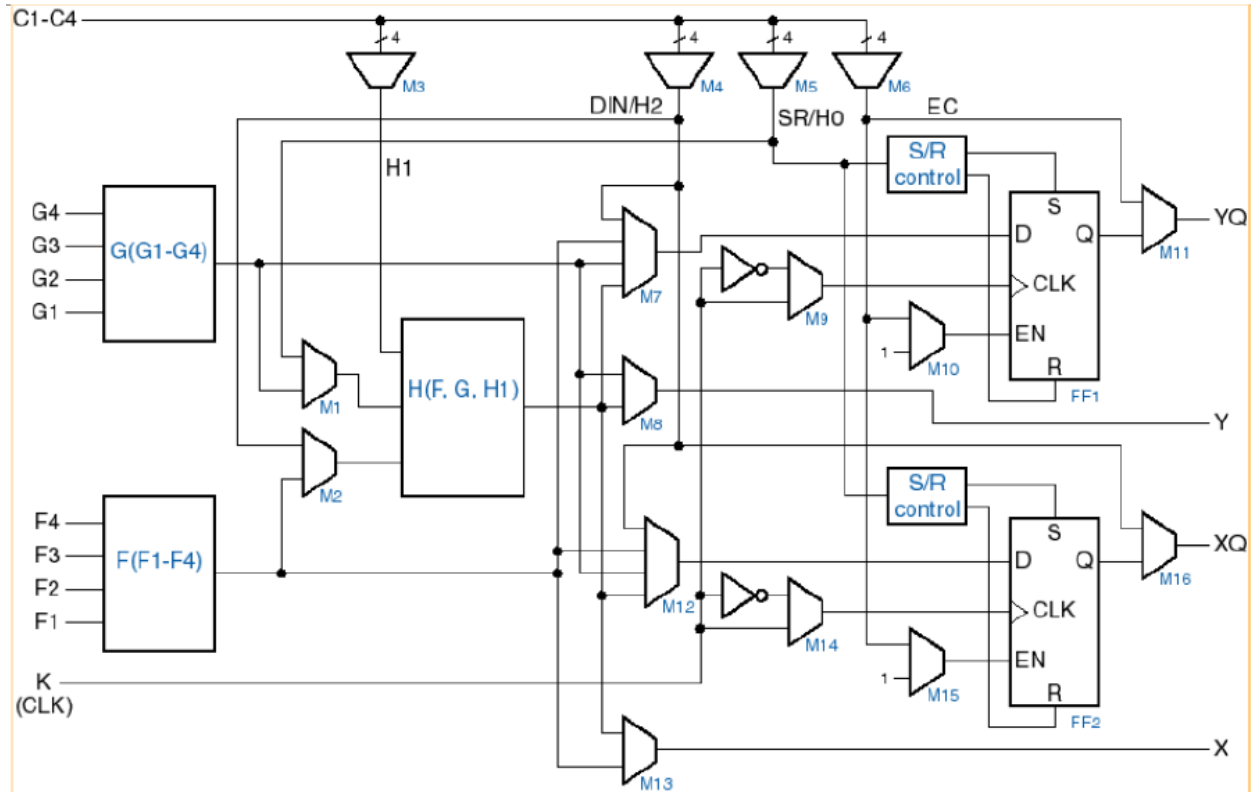
$$f(a, b, c, d) = c(\bar{d} + a) + \bar{d}b$$

الف) بهترین پیاده سازی را از نظر مساحت ارائه کنید.

ب) بهترین پیاده سازی را از نظر تاخیر ارائه کنید.

۳) یک شمارنده جانسون چهار بیتی بر روی FPGA زیر پیاده سازی کنید.

ASM، FSM و بلوک دیگرام را رسم نمایید.



مستندات

۱. مازول ها و test bench های کامپایل شده به همراه screenshot از صفحه waveform

قوانین

۱. زمان بندی تمرینات را رعایت فرمایید.
۲. در طول ترم، شما ۳ روز تاخیر مجاز دارید.
۳. تا زمانی که تمرینات در کلاس حل تمرین حل نشده باشند می توانید تحویل دهید.
۴. از تقلب به شدت بپرهیزید، در صورت تقلب نمره هر دو طرف صفر می گردد.
۵. پاسخ های خود را به صورت یک فایل فشرده شده در سایت ادمودو بفرستید. نام فایل الزاما باید به فرم <HW7_FullName_st.id> باشد. (در صورت عدم رعایت این موارد تمرین شما تصحیح نمی گردد.)

زمان بندی

جمعه ساعت ۲۳:۵۹، ۱۳۹۸/۱۰/۲۷

سامانه های ارتباطی

در صورت هرگونه اشکال، سوالات خود را از طریق سامانه ادمودو مطرح کنید.

موفق باشید

حسین امینی

نیوشا استیری

امیر حسین امینی مهر